

Attorney's Docket No. 5649-1255

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Sang-bo Lee

Application No.: To Be Assigned

Filed: Concurrently Herewith

For: MULTI-STAGE OUTPUT MULTIPLEXING CIRCUITS AND METHODS FOR
DOUBLE DATA RATE SYNCHRONOUS MEMORY DEVICES

April 1, 2004

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

SUBMITTAL OF PRIORITY DOCUMENT

Sir:

To complete the requirements of 35 U.S.C. § 119, enclosed is a certified copy of
Korean priority Application No. 2003-0021037, filed April 3, 2003.

Respectfully submitted,



Mitchell S. Bigel

Registration No. 29,614

Customer No. 20792

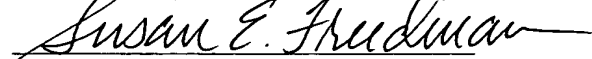
Myers Bigel Sibley & Sajovec
PO Box 37428
Raleigh NC 27627
Tel (919) 854-1400
Fax (919) 854-1401

CERTIFICATE OF EXPRESS MAILING

Express Mail Label No. EV 381442401 US

Date of Deposit: April 1, 2004

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR § 1.10 on the date indicated above and is addressed to: Mail Stop PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.



Susan E. Freedman

Date of Signature: April 1, 2004



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 10-2003-0021037
Application Number

출원 년 월 일 : 2003년 04월 03일
Date of Application APR 03, 2003

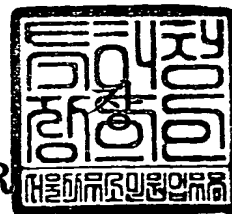
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 11 월 14 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【창조번호】 0003
【제출일자】 2003.04.03
【국제특허분류】 H01L
【발명의 명칭】 이중 데이터율 동기식 메모리장치의 출력 멀티플렉싱 회로 및 방법
【발명의 영문명칭】 Output multiplexing circuit and method for double data rate synchronous memory device
【출원인】
【명칭】 삼성전자 주식회사
【출원인코드】 1-1998-104271-3
【대리인】
【성명】 이영필
【대리인코드】 9-1998-000334-6
【포괄위임등록번호】 2003-003435-0
【대리인】
【성명】 정상빈
【대리인코드】 9-1998-000541-1
【포괄위임등록번호】 2003-003437-4
【발명자】
【성명의 국문표기】 이상보
【성명의 영문표기】 LEE, Sang Bo
【주민등록번호】 670810-1558314
【우편번호】 449-905
【주소】 경기도 용인시 기흥읍 상갈리 금화마을 주공아파트 403-1604
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
 이영필 (인) 대리인
 정상빈 (인)

【수수료】

【기본출원료】	20	면	29,000	원
---------	----	---	--------	---

【가산출원료】	3	면	3,000	원
---------	---	---	-------	---

【우선권주장료】	0	건	0	원
----------	---	---	---	---

【심사청구료】	8	항	365,000	원
---------	---	---	---------	---

【합계】	397,000	원		
------	---------	---	--	--

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

칩 면적이 작고 고주파 동작이 가능한 이중 데이터율 동기식 메모리장치의 출력 멀티플렉싱 회로 및 방법이 개시된다. 상기 출력 멀티플렉싱 회로는, n (자연수)개의 제1래치들, n 개의 제1스위치들, n 개의 제2스위치들, n 개의 제2래치들, 및 2개의 제3스위치들을 구비한다. 상기 n 개의 제1래치들은 메모리셀 어레이로부터 데이터 패스를 통해 전송된 n 비트 데이터를 동시에 프리페치한다. 상기 n 개의 제1스위치들은 카스 레이턴시 정보신호에 응답하여, 상기 제1래치들에 프리페치된 n 비트 데이터를 동시에 n 개의 노드들로 전달한다. 상기 n 개의 제2스위치들은 클럭신호에 동기되며 일정한 간격으로 순차적으로 발생하는 n 개의 신호들에 응답하여, 상기 노드들 상의 데이터를 순차적으로 전달한다. 상기 n 개의 제2래치들은 상기 제2스위치들을 통해 전달된 데이터를 저장한다. 상기 2개의 제3스위치들은 상기 클럭신호의 지연신호의 상승에지 및 하강에지에서 상기 제2래치들에 저장된 데이터를 순차적으로 상기 메모리장치의 출력 드라이버의 입력단으로 전달한다.

【대표도】

도 3

【명세서】**【발명의 명칭】**

이중 데이터율 동기식 메모리장치의 출력 멀티플렉싱 회로 및 방법{Output multiplexing circuit and method for double data rate synchronous memory device}

【도면의 간단한 설명】

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 일반적으로 사용되는 종래기술에 따른 출력 멀티플렉싱 회로의 예를 나타내는 도면이다.

도 2는 도 1에 도시된 회로의 동작 타이밍도이다.

도 3은 본 발명의 제1실시예에 따른 출력 멀티플렉싱 회로를 나타내는 도면이다.

도 4는 본 발명의 제2실시예에 따른 출력 멀티플렉싱 회로를 나타내는 도면이다.

도 5는 도 3에 도시된 회로의 동작 타이밍도이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<7> 본 발명은 반도체 메모리장치에 관한 것으로, 특히 이중 데이터율 동기식 메모리장치의 출력 멀티플렉싱 회로 및 방법에 관한 것이다.

<8> 반도체 메모리장치의 동작 주파수가 증가함에 따라서 2 비트, 4 비트, 8 비트 등의 프리페치(prefetch) 기술을 적용하여 메모리장치 내부는 동작속도를 감소시키고 출력 부분의 동작

주파수만 증가시키는 기술이 사용된다. 따라서 메모리장치 내부와 출력 부분 사이에는 내부 병렬(parallel) 데이터를 출력단으로 직렬로(serial) 전달하는 멀티플렉싱(multiplexing) 회로가 필요하다.

<9> 예를 들어 2 비트 프리페치 기술을 적용하는 경우, 200Mbps(Mega bit per second) 속도로 동작하는 이중 데이터율 동기식 메모리장치에서는 내부의 코아(core) 회로는 100MHz로 동작하는 반면에 실제 출력핀 수의 2배의 데이터가 멀티플렉싱 회로로 병렬로 전달된다. 멀티플렉싱 회로는 병렬로 전달된 2배의 데이터를 각각 클럭신호의 상승에지 및 하강에지에서 직렬로 출력단으로 전달한다. 즉 2 비트 프리페치 기술이 적용되는 경우에는 2-to-1 멀티플렉싱 회로가 필요하다.

<10> 동기식 메모리장치의 동작 주파수가 점점 더 증가함에 따라서 내부의 동작 주파수 감소를 위하여 일반적으로 4 비트 또는 8 비트 프리페치가 적용되는데 이 경우에는 각각 4-to-1 멀티플렉싱 회로 및 8-to-1 멀티플렉싱 회로가 필요하다. 이중 데이터율 동기식 메모리장치를 위한 출력 멀티플렉싱 기술이 미국 특허 번호 6,337,830 B1에 상세히 개시되어 있다.

<11> 도 1은 일반적으로 사용되는 종래기술에 따른 출력 멀티플렉싱 회로의 예를 나타내는 도면이고 도 2는 도 1에 도시된 회로의 동작 타이밍도이다. 이 경우에는 4비트 프리페치가 가정되었다.

<12> 도 1을 참조하면, 종래기술에 따른 출력 멀티플렉싱 회로는, 각각 4개의 제1스위치들(S101-S104)을 포함하는 복수개의 제1스위치 그룹들(101-104), 각각 4개의 래치들(L101-L104)을 포함하는 복수개의 래치 그룹들(111-114), 및 각각 4개의 제2스위치들(S111-S114)을 포함하는 복수개의 제2스위치 그룹들(121-124)을 구비한다.

- <13> 제1스위치들(S101-S104)은 메모리셀 어레이로부터 데이터 패스를 통해 전송된 4비트 데이터(DO-F0, DO_S0, DO-F1, DO_S1)를 해당 제어신호(DLi, i는 0-n)에 응답하여 래치들(L101-L104)로 전달한다. 제1스위치들(S101-S104)을 경유하여 들어오는 4비트 데이터는 래치들(L101-L104)에 동시에 프리페치된다.
- <14> 제어신호들(DLi)은 메모리장치가 버스트(Burst) 동작을 하거나 메모리장치에 갭(Gap)없이 데이터 독출 명령들이 입력되는 경우에 순차적으로 활성화되며, 이에 따라 데이터 패스를 통해 연속하여 전달되어오는 데이터들이 서로 다른 래치 그룹들에 저장된다.
- <15> 제2스위치들(S111-S114)은 순차적으로 활성화되는 CDQi_F0, CDQi_S0, CDQi_F1, CDQi_S1 (i=0,1,2,3...)에 응답하여 래치들(L101-L104)에 저장된 데이터를 순차적으로 노드(NODE1)로 전달한다. CDQi_F0, CDQi_S0, CDQi_F1, CDQi_S1는 CAS(Column Address Strobe) 레이턴시(latency) 정보를 받아 순차적으로 활성화되는 신호이다.
- <16> 상기 종래기술에 따른 출력 멀티플렉싱 회로는 CAS 레이턴시의 종류가 증가함에 따라서 노드(NODE1)의 기생 커패시턴스가 증가하게 되며 이로 인하여 고주파 동작이 어려워지는 단점이 있다. 한편 동작 주파수가 증가하면 일반적으로 CAS 레이턴시가 증가한다. CAS 레이턴시가 10인 메모리장치의 경우 상기 i는 5가 되고 이 경우 CDQi 라인의 수는 20개가 된다. 이 CDQi 라인들은 각 출력단들(DQ)에 모두 입력되어야 하므로 와이드(wide) DQ(예컨대 X16 또는 X32)의 경우 CDQi 라인 라우팅(routing)으로 인해 칩면적이 증가하게 된다.
- <17> 또한 각 출력단(DQ)에서의 CDQi 신호의 스큐(skew)가 곧 DQ 스큐, 즉 DQ로 출력되는 데이터간의 스큐(skew)가 되므로 각각의 CDQi 라인은 H-트리(tree) 방식등과 같은 스큐 제거 방식으로 라우팅되어야 하며, 이로 인하여 칩 면적이 더 커지게 되며 와이드 DQ의 경우 DQ 스큐

를 완벽하게 감소시키는데 어려움이 있다. 이러한 단점들로 인해 상술한 종래기술에 따른 출력 멀티플렉싱 회로는 고주파 동작에 제약이 있다.

【발명이 이루고자 하는 기술적 과제】

<18> 따라서 본 발명이 이루고자하는 기술적 과제는, 이중 데이터율 동기식 메모리장치내에 구현될 경우 칩 면적이 작고 고주파 동작이 가능한 출력 멀티플렉싱 회로를 제공하는 데 있다.

<19> 본 발명이 이루고자하는 다른 기술적 과제는, 이중 데이터율 동기식 메모리장치내에 구현될 경우 칩 면적이 작고 고주파 동작이 가능한 출력 멀티플렉싱 방법을 제공하는 데 있다.

【발명의 구성 및 작용】

<20> 상기 기술적 과제를 달성하기 위한 본 발명의 일실시예에 따른 출력 멀티플렉싱 회로는, n (자연수)개의 제1래치들, n 개의 제1스위치들, n 개의 제2스위치들, n 개의 제2래치들, 및 2개의 제3스위치들을 구비하는 것을 특징으로 한다.

<21> 상기 n 개의 제1래치들은 메모리셀 어레이로부터 데이터 패스를 통째로 전송된 n 비트 데이터를 동시에 프리페치한다. 상기 n 개의 제1스위치들은 카스 레이턴시 정보신호에 응답하여, 상기 제1래치들에 프리페치된 n 비트 데이터를 동시에 n 개의 노드들로 전달한다. 상기 n 개의 제2스위치들은 클럭신호에 동기되며 일정한 간격으로 순차적으로 발생하는 n 개의 신호들에 응답하여, 상기 노드들 상의 데이터를 순차적으로 전달한다.

<22> 상기 n 개의 제2래치들은 상기 제2스위치들을 통해 전달된 데이터를 저장한다. 상기 2개의 제3스위치들은 상기 클럭신호의 지연신호의 상승에지 및 하강에지에서 상기 제2래치들에 저장된 데이터를 순차적으로 상기 메모리장치의 출력 드라이버의 입력단으로 전달한다.

- <23> 상기 기술적 과제를 달성하기 위한 본 발명의 다른 실시예에 따른 출력 멀티플렉싱 회로는, n개의 제1래치들, n개의 제1스위치들, n개의 제1논리 게이트들, n개의 제2스위치들, n개의 제2래치들, 2개의 제3스위치들, n개의 제2논리 게이트들, n개의 제4스위치들, n개의 제3래치들, 및 2개의 제5스위치들을 구비하는 것을 특징으로 한다.
- <24> 상기 n개의 제1래치들은 메모리셀 어레이로부터 데이터 패스를 통째 전송된 n비트 데이터를 동시에 프리페치한다. 상기 n개의 제1스위치들은 카스 레이턴시 정보신호에 응답하여, 상기 제1래치들에 프리페치된 n비트 데이터를 동시에 n개의 노드들로 전달한다.
- <25> 상기 n개의 제1논리 게이트들은 출력 인에이블 신호의 활성화 동안에 상기 노드들 상의 데이터를 반전시켜 출력한다. 상기 n개의 제2스위치들은 클럭신호에 동기되며 일정한 간격으로 순차적으로 발생하는 n개의 신호들에 응답하여, 상기 제1논리 게이트들의 출력신호들을 순차적으로 전달한다.
- <26> 상기 n개의 제2래치들은 상기 제2스위치들을 통해 전달된 데이터를 저장한다. 상기 2개의 제3스위치들은 상기 클럭신호의 지연신호의 상승에지 및 하강에지에서 상기 제2래치들에 저장된 데이터를 순차적으로 상기 메모리장치의 출력 드라이버의 풀업 트랜지스터로 전달한다.
- <27> 상기 n개의 제2논리 게이트들은 상기 출력 인에이블 신호의 활성화 동안에 상기 노드들 상의 데이터를 출력한다. 상기 n개의 제4스위치들은 상기 n개의 신호들에 응답하여, 상기 제2논리 게이트들의 출력신호들을 순차적으로 전달한다.
- <28> 상기 n개의 제3래치들은 상기 제4스위치들을 통해 전달된 데이터를 저장한다. 상기 2개의 제5스위치들은 상기 클럭신호의 상기 지연신호의 상승에지 및 하강에지에서 상기 제3래치들

에 저장된 데이터를 순차적으로 상기 메모리장치의 출력 드라이버의 풀다운 트랜지스터로 전달된다.

<29> 상기 다른 기술적 과제를 달성하기 위한 본 발명의 일실시예에 따른 출력 멀티플렉싱 방법은, 메모리셀 어레이로부터 데이터 패스를 통해 전송된 n 비트 데이터를 동시에 프리페치하는 단계, 카스 레이턴시 정보신호에 응답하여, 상기 프리페치된 n 비트 데이터를 동시에 n 개의 노드들로 전달하는 단계, 클럭신호에 동기되며 일정한 간격으로 순차적으로 발생하는 n 개의 신호들에 응답하여, 상기 노드들 상의 데이터를 순차적으로 전달하는 단계, 상기 순차적으로 전달된 데이터를 저장하는 단계; 및 상기 클럭신호의 지연신호의 상승에지 및 하강에지에서 상기 저장된 데이터를 순차적으로 상기 메모리장치의 출력 드라이버의 입력단으로 전달하는 단계를 구비하는 것을 특징으로 한다.

<30> 상기 다른 기술적 과제를 달성하기 위한 본 발명의 다른 실시예에 따른 출력 멀티플렉싱 방법은, 메모리셀 어레이로부터 데이터 패스를 통해 전송된 n 비트 데이터를 동시에 프리페치하는 단계; 카스 레이턴시 정보신호에 응답하여, 상기 프리페치된 n 비트 데이터를 동시에 n 개의 노드들로 전달하는 단계; 출력 인에이블 신호의 활성화 동안에 상기 노드들 상의 데이터를 반전시키는 단계; 클럭신호에 동기되며 일정한 간격으로 순차적으로 발생하는 n 개의 신호들에 응답하여, 상기 반전된 데이터를 순차적으로 전달하는 단계; 상기 순차적으로 전달된 반전 데이터를 저장하는 단계; 상기 클럭신호의 지연신호의 상승에지 및 하강에지에서 상기 저장된 반전 데이터를 순차적으로 상기 메모리장치의 출력 드라이버의 풀업 트랜지스터로 전달하는 단계; 상기 출력 인에이블 신호의 활성화 동안에 상기 노드들 상의 데이터를 그대로 전달하는 단계; 상기 n 개의 신호들에 응답하여, 상기 그대로 전달된 데이터를 순차적으로 전달하는 단계; 상기

순차적으로 전달된 데이터를 저장하는 단계; 및 상기 클럭신호의 상기 지연신호의 상승에지 및 하강에지에서 상기 저장된 데이터를 순차적으로 상기 메모리장치의 출력 드라이버의 풀다운 트랜지스터로 전달하는 단계를 구비하는 것을 특징으로 한다.

- <31> 본 발명과 본 발명의 동작 상의 잇점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.
- <32> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.
- <33> 도 3은 본 발명의 제1실시예에 따른 출력 멀티플렉싱 회로를 나타내는 도면이고 도 5는 도 3에 도시된 회로의 동작 타이밍도이다. 여기에서 4비트 프리페치가 가정되었다.
- <34> 도 3을 참조하면, 본 발명의 제1실시예에 따른 출력 멀티플렉싱 회로는, 각각 4개의 제1스위치들(S01-S04)을 포함하는 복수개의 제1스위치 그룹들(301-304), 각각 4개의 제1래치들(L01-L04)을 포함하는 복수개의 제1래치 그룹들(311-314), 각각 4개의 제2스위치들(S21-S24)을 포함하는 복수개의 제2스위치 그룹들(321-324), 4개의 제3스위치들(S31-S34), 4개의 제2래치들(L11-L14), 및 2개의 제4스위치들(S41-S42)을 구비한다.
- <35> 제1스위치들(S01-S04)은 메모리셀 어레이로부터 데이터 패스를 통해 전송된 4비트 데이터(D0-F0, D0_S0, D0-F1, D0_S1)를 해당 제어신호(DLi, i는 0-n)에 응답하여 제1래치들(L01-L04)로 전달한다. 따라서 제1스위치들(S01-S04)을 경유하여 들어오는 4비트 데이터는 제1래치들(L01-L04)에 동시에 프리페치된다.

- <36> 제어신호들(DLi)은 메모리장치가 버스트(Burst) 동작을 하거나 메모리장치에 갭(Gap)없이 데이터 독출 명령들이 입력되는 경우에 순차적으로 활성화되며, 이에 따라 데이터 패스를 통해 연속하여 전달되어오는 데이터들이 서로 다른 래치 그룹들에 저장된다.
- <37> 제2스위치들(S21-S24)은 해당 카스 레이턴시 정보신호(CDQi, i는 0-n)에 응답하여, 제1래치들(L01-L04)에 프리페치된 4비트 데이터를 동시에 4개의 노드들(NODE0-NODE4)로 전달한다. 제3스위치들(S31-S34)은 클럭신호(CLK)에 동기되며 일정한 간격으로 순차적으로 발생하는 4개의 신호들(QCLK0-QCLK3)에 응답하여, 노드들(NODE0-NODE4) 상의 데이터를 순차적으로 제2래치들(L11-L14)로 전달한다. 제2래치들(L11-L14)은 제3스위치들(S31-S34)을 통해 전달된 데이터를 저장한다. 상기 일정한 간격은 클럭신호(CLK)의 반 주기에 해당한다.
- <38> 마지막으로 제4스위치들(S41-S42)은 클럭신호의 지연신호(CLKDQ)의 상승에지(F) 및 하강에지(S)에서 제2래치들(L11-L13)에 저장된 데이터를 순차적으로 메모리장치의 출력 드라이버(331)의 입력단(DOD)으로 전달한다. 좀더 상세하게는 지연신호(CLKDQ)의 첫 번째 상승에지에서는 래치(L11)에 저장된 데이터가 스위치(S41)를 통해 출력 드라이버의 입력단(DOD)으로 전달되고 지연신호(CLKDQ)의 첫 번째 하강에지에서는 래치(L13)에 저장된 데이터가 스위치(S42)를 통해 출력 드라이버의 입력단(DOD)으로 전달된다. 다음에 지연신호(CLKDQ)의 두 번째 상승에지에서는 래치(L12)에 저장된 데이터가 스위치(S41)를 통해 출력 드라이버의 입력단(DOD)으로 전달되고 지연신호(CLKDQ)의 두 번째 하강에지에서는 래치(L14)에 저장된 데이터가 스위치(S42)를 통해 출력 드라이버의 입력단(DOD)으로 전달된다.
- <39> 이하 도 3에 도시된 본 발명에 따른 출력 멀티플렉싱 회로의 동작이 좀더 설명된다. 먼저 도 1에 도시된 종래기술과 마찬가지로 DLi가 활성화될 때, 제1스위치들(S01-S04)을 경유하여 들어오는 4비트 데이터가 제1래치들(L01-L04)에 동시에 프리페치된다. 다음에 종래 기술과

달리 CDQi가 활성화될 때, 제1래치들(L01-L04)에 프리페치된 4비트 데이터가 동시에 제2스위치들(S21-S24)을 경유하여 4개의 노드들(NODE0-NODE4)로 전달된다. 4-비트 프리페치의 경우에는 클럭신호(CLK)의 두사이클 동안 데이터를 출력하므로 예컨대 CDQ0가 인에이블된 후 두사이클 뒤에 CDQ1이 인에이블된다.

<40> 다음에 노드들(NODE0-NODE4) 상의 데이터는 클럭신호(CLK)의 반주기 간격으로 순차적으로 인에이블되는 4개의 신호들(QCLK0-QCLK3)에 의해 제3스위치들(S31-S34)을 경유하여 순차적으로 제2래치들(L11-L14)로 전달되어 저장된다.

<41> 마지막으로 제2래치들(L11-L14)에 저장된 데이터는 클럭신호(CLK)의 두사이클 동안 제4스위치들(S41-S42)을 경유하여 클럭신호의 지연신호(CLKDQ)의 상승에지(F) 및 하강에지(S)에서 순차적으로 출력 드라이버(331)의 입력단(DOD)으로 전달된다.

<42> 이상에서 설명한 본 발명에 따른 출력 멀티플렉싱 회로에서는 카스 레이턴시(CL) 10을 지원하는 메모리장치의 경우 종래기술에서는 제어라인이 20개이던 것이 제어라인이 10개(CDQ0-CDQ4, QCLK0-QCLK3, CLKDQ)로 감소한다. 따라서 종래기술에 비하여 칩면적이 감소되는 장점이 있다. 또한 최종적으로 2개의 제4스위치들(S41-S42)이 CLKDQ 한 라인에 의하여 제어되므로 출력단들(DQ)로 출력되는 데이터간의 스큐(skew)를 최소화하는데 있어서도 유리하다.

<43> 또한 종래 기술의 NODE1이 본 발명에서는 NODE0, NODE1, NODE2, NODE3로 분산되므로 각 노드의 기생 커패시턴스가 감소되며 그 결과 종래기술에 비하여 고주파 동작이 가능하다.

<44> 도 4는 본 발명의 제2실시예에 따른 출력 멀티플렉싱 회로를 나타내는 도면이다. 여기에 서 4비트 프리페치가 가정되었다.

- <45> 도 4를 참조하면, 본 발명의 제2실시예에 따른 출력 멀티플렉싱 회로는 기본적으로 제1 실시예와 거의 유사하나 제2스테이지의 구성이 다르다.
- <46> 제2실시예에 따른 출력 멀티플렉싱 회로의 제2스테이지는, 출력 인에이블 신호(PTRST)에 의해 제어되는 4개의 낸드 게이트들(ND1-ND4), 4개의 인버터들(I1-I4), 출력 인에이블 신호의 반전신호(PTRSTB)에 의해 제어되는 4개의 노아 게이트들(NR1-NR4), 신호들(QCLK0-QCLK3)에 의해 제어되는 4개의 스위치들(S51-S54), 신호들(QCLK0-QCLK3)에 의해 제어되는 4개의 스위치들(S61-S64), 4개의 래치들(L21-L24), 4개의 래치들(L31-L34), 2개의 스위치들(S71-S72), 및 2개의 스위치들(S81-S82)를 구비한다.
- <47> 낸드 게이트들(ND1-ND4)은 출력 인에이블 신호(PTRST)의 활성화 동안에 상기 노드들(NODE0-NODE4) 상의 데이터를 반전시켜 출력한다. 인버터들(I1-I4) 및 노아 게이트들(NR1-NR4)은 출력 인에이블 신호(PTRST)의 활성화 동안에 다시말해 출력 인에이블 신호의 반전신호(PTRSTB)의 비활성화 동안에 상기 노드들 상의 데이터를 반전없이 그대로 출력한다.
- <48> 스위치들(S51-S54)은 일정한 간격, 즉 클럭신호(CLK)의 반 주기 간격으로 순차적으로 발생하는 4개의 신호들(QCLK0-QCLK3)에 응답하여, 낸드 게이트들(ND1-ND4)의 출력신호들을 순차적으로 래치들(L21-L24)로 전달한다. 래치들(L21-L24)은 스위치들(S51-S54)을 통해 전달된 데이터를 저장한다. 스위치들(S71-S72)은 클럭신호의 지연신호(CLKDQ)의 상승에지(F) 및 하강에지(S)에서 래치들(L21-L24)에 저장된 데이터를 순차적으로 출력 드라이버(431)의 풀업 트랜지스터(MP)의 게이트로 전달한다.
- <49> 스위치들(S61-S64)은 4개의 신호들(QCLK0-QCLK3)에 응답하여, 노아 게이트들(NR1-NR4)의 출력신호들을 순차적으로 래치들(L31-L34)로 전달한다. 래치들(L31-L34)은 스위치들(S61-S64)을 통해 전달된 데이터를 저장한다. 스위치들(S81-S82)은 클럭신호의 지연신호(CLKDQ)의 상승

에지(F) 및 하강에지(S)에서 래치들(L31-L34)에 저장된 데이터를 순차적으로 출력 드라이버 (431)의 풀다운 트랜지스터(MN)의 게이트로 전달한다.

<50> 상술한 제2실시예에 따른 출력 멀티플렉싱 회로의 동작은 제1실시예와 거의 유사하며, 다만 출력 드라이버(431)의 풀업 및 풀다운을 각각 DOP 및 DON에 의하여 제어하는 점이 다르다. 풀업을 구동하는 신호(DOP)와 풀다운을 구동하는 신호(DON)가 다르므로 데이터의 상승시간 및 하강시간을 제어하는 데 유리하다. 또한 제1실시예의 DOD 노드가 제2실시예에서는 두 개의 노드(DOP, DON)로 분리되므로 제1실시예에 비하여 더 높은 주파수에서 동작이 가능하다.

<51> 한편 이상에서는 설명의 편의상 4비트 프리페치인 경우에 대하여 설명하였으나 8비트 프리페치 이상의 경우에도 본 발명의 개념이 적용될 수 있음은 자명하다.

<52> 이상 도면과 명세서에서 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

<53> 상술한 바와 같이 본 발명에 따른 출력 멀티플렉싱 회로 및 출력 멀티플렉싱 방법은, 이중 데이터를 동기식 메모리장치내에 구현될 경우 칩 면적이 작고 고주파 동작이 가능한 장점이 있다.

【특허청구범위】

【청구항 1】

이중 데이터율 동기식 메모리장치의 출력 멀티플렉싱 회로에 있어서,

메모리셀 어레이로부터 데이터 패스를 통해 전송된 n 비트 데이터를 동시에 프리페치하는 n 개의 제1래치들;

카스 레이턴시 정보신호에 응답하여, 상기 제1래치들에 프리페치된 n 비트 데이터를 동시에 n 개의 노드들로 전달하는 n 개의 제1스위치들;

클럭신호에 동기되며 일정한 간격으로 순차적으로 발생하는 n 개의 신호들에 응답하여, 상기 노드들 상의 데이터를 순차적으로 전달하는 n 개의 제2스위치들;

상기 제2스위치들을 통해 전달된 데이터를 저장하는 n 개의 제2래치들; 및

상기 클럭신호의 지연신호의 상승에지 및 하강에지에서 상기 제2래치들에 저장된 데이터를 순차적으로 상기 메모리장치의 출력 드라이버의 입력단으로 전달하는 2개의 제3스위치들을 구비하는 것을 특징으로 하는 이중 데이터율 동기식 메모리장치의 출력 멀티플렉싱 회로.

【청구항 2】

제1항에 있어서, 상기 일정한 간격은 상기 클럭신호의 반 주기인 것을 특징으로 하는 이중 데이터율 동기식 메모리장치의 출력 멀티플렉싱 회로.

【청구항 3】

이중 데이터율 동기식 메모리장치의 출력 멀티플렉싱 회로에 있어서,

메모리셀 어레이로부터 데이터 패스를 통해 전송된 n 비트 데이터를 동시에 프리페치하는 n 개의 제1래치들;

카스 레이턴시 정보신호에 응답하여, 상기 제1래치들에 프리페치된 n비트 데이터를 동시에 n개의 노드들로 전달하는 n개의 제1스위치들;

출력 인에이블 신호의 활성화 동안에 상기 노드들 상의 데이터를 반전시켜 출력하는 n개의 제1논리 게이트들;

클럭신호에 동기되며 일정한 간격으로 순차적으로 발생하는 n개의 신호들에 응답하여, 상기 제1논리 게이트들의 출력신호들을 순차적으로 전달하는 n개의 제2스위치들;

상기 제2스위치들을 통해 전달된 데이터를 저장하는 n개의 제2래치들;

상기 클럭신호의 지연신호의 상승에지 및 하강에지에서 상기 제2래치들에 저장된 데이터를 순차적으로 상기 메모리장치의 출력 드라이버의 풀업 트랜지스터로 전달하는 2개의 제3스위치들;

상기 출력 인에이블 신호의 활성화 동안에 상기 노드들 상의 데이터를 출력하는 n개의 제2논리 게이트들;

상기 n개의 신호들에 응답하여, 상기 제2논리 게이트들의 출력신호들을 순차적으로 전달하는 n개의 제4스위치들;

상기 제4스위치들을 통해 전달된 데이터를 저장하는 n개의 제3래치들; 및

상기 클럭신호의 상기 지연신호의 상승에지 및 하강에지에서 상기 제3래치들에 저장된 데이터를 순차적으로 상기 메모리장치의 출력 드라이버의 풀다운 트랜지스터로 전달하는 2개의 제5스위치들을 구비하는 것을 특징으로 하는 이중 데이터를 동기식 메모리장치의 출력 멀티플렉싱 회로.

【청구항 4】

제3항에 있어서, 상기 일정한 간격은 상기 클럭신호의 반 주기인 것을 특징으로 하는 이
중 데이터율 동기식 메모리장치의 출력 멀티플렉싱 회로.

【청구항 5】

이중 데이터율 동기식 메모리장치의 출력 멀티플렉싱 방법에 있어서,

메모리셀 어레이로부터 데이터 패스를 통해 전송된 n비트 데이터를 동시에 프리페치하
는 단계;

카스 레이턴시 정보신호에 응답하여, 상기 프리페치된 n비트 데이터를 동시에 n개의 노
드들로 전달하는 단계;

클럭신호에 동기되며 일정한 간격으로 순차적으로 발생하는 n개의 신호들에 응답하여,
상기 노드들 상의 데이터를 순차적으로 전달하는 단계;

상기 순차적으로 전달된 데이터를 저장하는 단계; 및

상기 클럭신호의 지연신호의 상승에지 및 하강에지에서 상기 저장된 데이터를 순차적으
로 상기 메모리장치의 출력 드라이버의 입력단으로 전달하는 단계를 구비하는 것을 특징으로
하는 이중 데이터율 동기식 메모리장치의 출력 멀티플렉싱 방법.

【청구항 6】

제5항에 있어서, 상기 일정한 간격은 상기 클럭신호의 반 주기인 것을 특징으로 하는 이
중 데이터율 동기식 메모리장치의 출력 멀티플렉싱 방법.

【청구항 7】

이중 데이터율 동기식 메모리장치의 출력 멀티플렉싱 방법에 있어서,

메모리셀 어레이로부터 데이터 패스를 통해 전송된 n 비트 데이터를 동시에 프리페치하는 단계;

카스 레이턴시 정보신호에 응답하여, 상기 프리페치된 n 비트 데이터를 동시에 n 개의 노드들로 전달하는 단계;

출력 인에이블 신호의 활성화 동안에 상기 노드들 상의 데이터를 반전시키는 단계;

클럭신호에 동기되며 일정한 간격으로 순차적으로 발생하는 n 개의 신호들에 응답하여, 상기 반전된 데이터를 순차적으로 전달하는 단계;

상기 순차적으로 전달된 반전 데이터를 저장하는 단계;

상기 클럭신호의 지연신호의 상승에지 및 하강에지에서 상기 저장된 반전 데이터를 순차적으로 상기 메모리장치의 출력 드라이버의 풀업 트랜지스터로 전달하는 단계;

상기 출력 인에이블 신호의 활성화 동안에 상기 노드들 상의 데이터를 그대로 전달하는 단계;

상기 n 개의 신호들에 응답하여, 상기 그대로 전달된 데이터를 순차적으로 전달하는 단계

;

상기 순차적으로 전달된 데이터를 저장하는 단계; 및

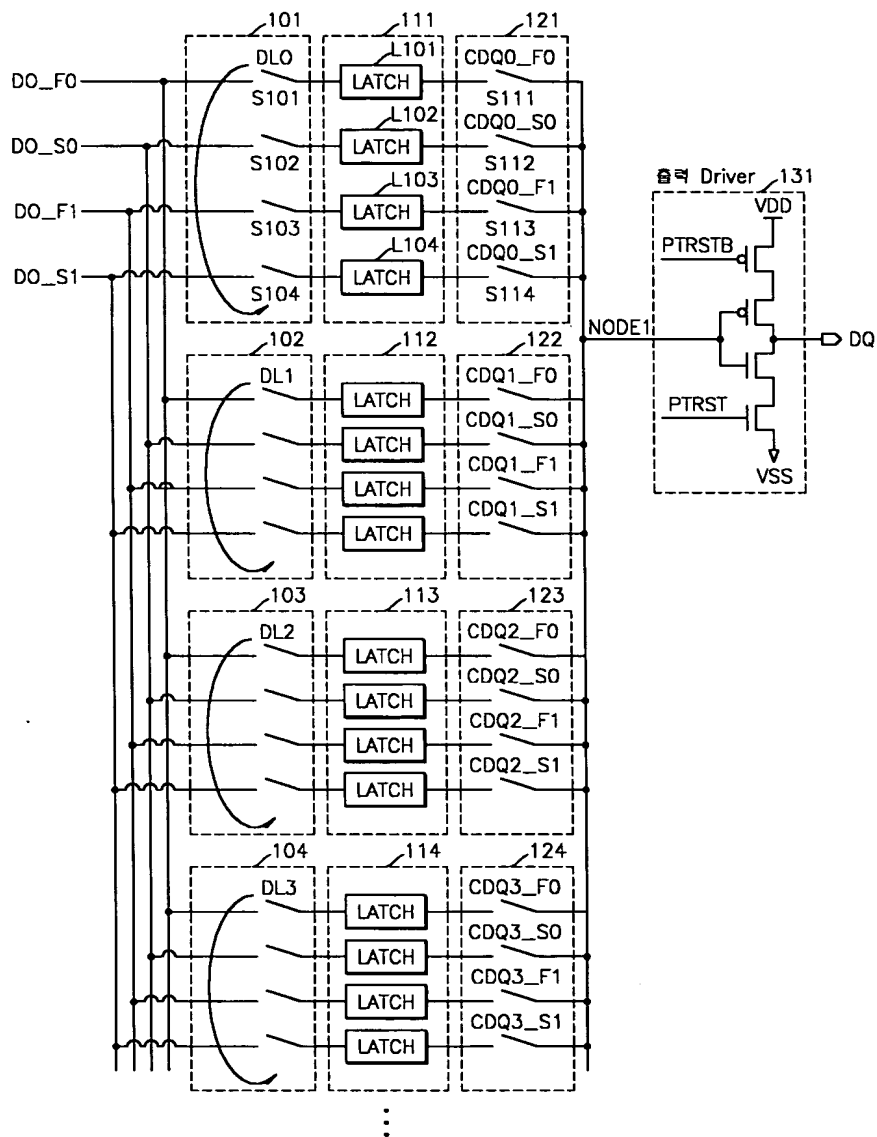
상기 클럭신호의 상기 지연신호의 상승에지 및 하강에지에서 상기 저장된 데이터를 순차적으로 상기 메모리장치의 출력 드라이버의 풀다운 트랜지스터로 전달하는 단계를 구비하는 것을 특징으로 하는 이중 데이터를 동기식 메모리장치의 출력 멀티플렉싱 방법.

【청구항 8】

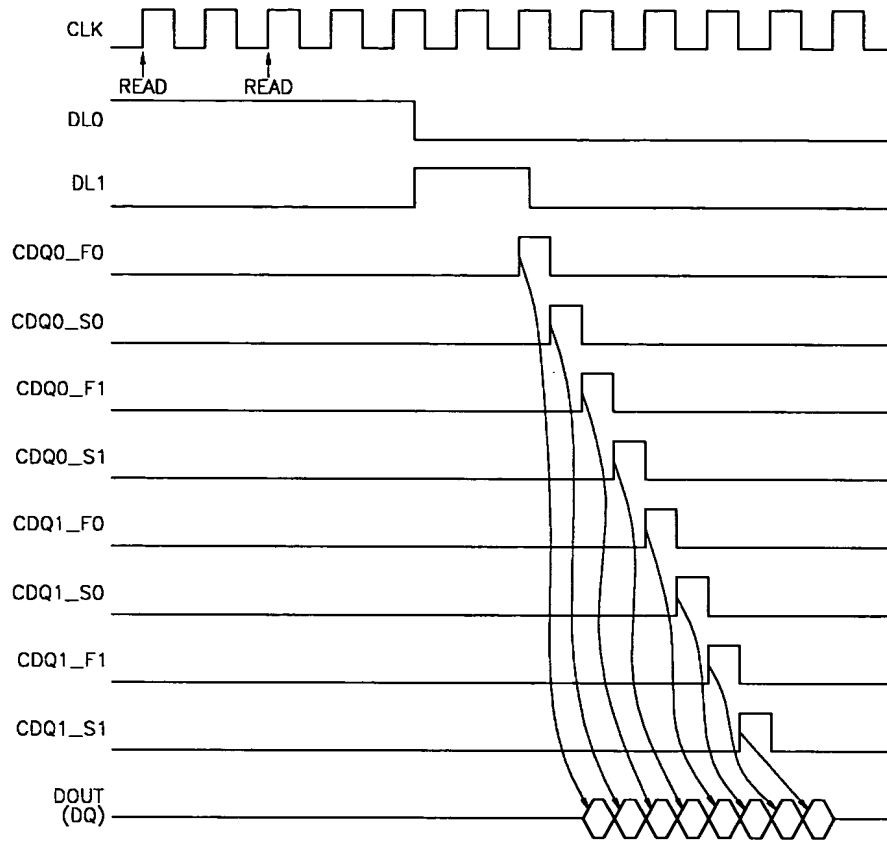
제7항에 있어서, 상기 일정한 간격은 상기 클럭신호의 반 주기인 것을 특징으로 하는 이
중 데이터율 동기식 메모리장치의 출력 멀티플렉싱 방법.

【도면】

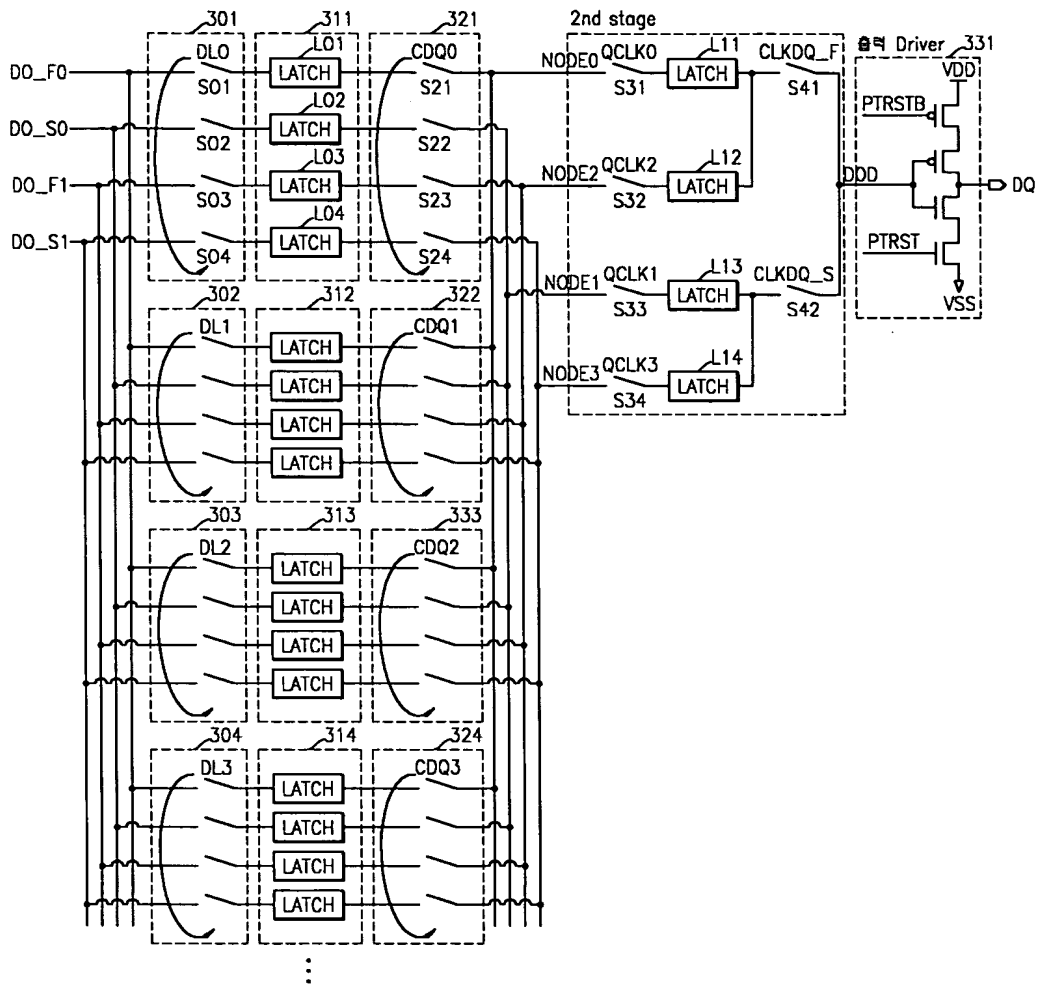
【도 1】



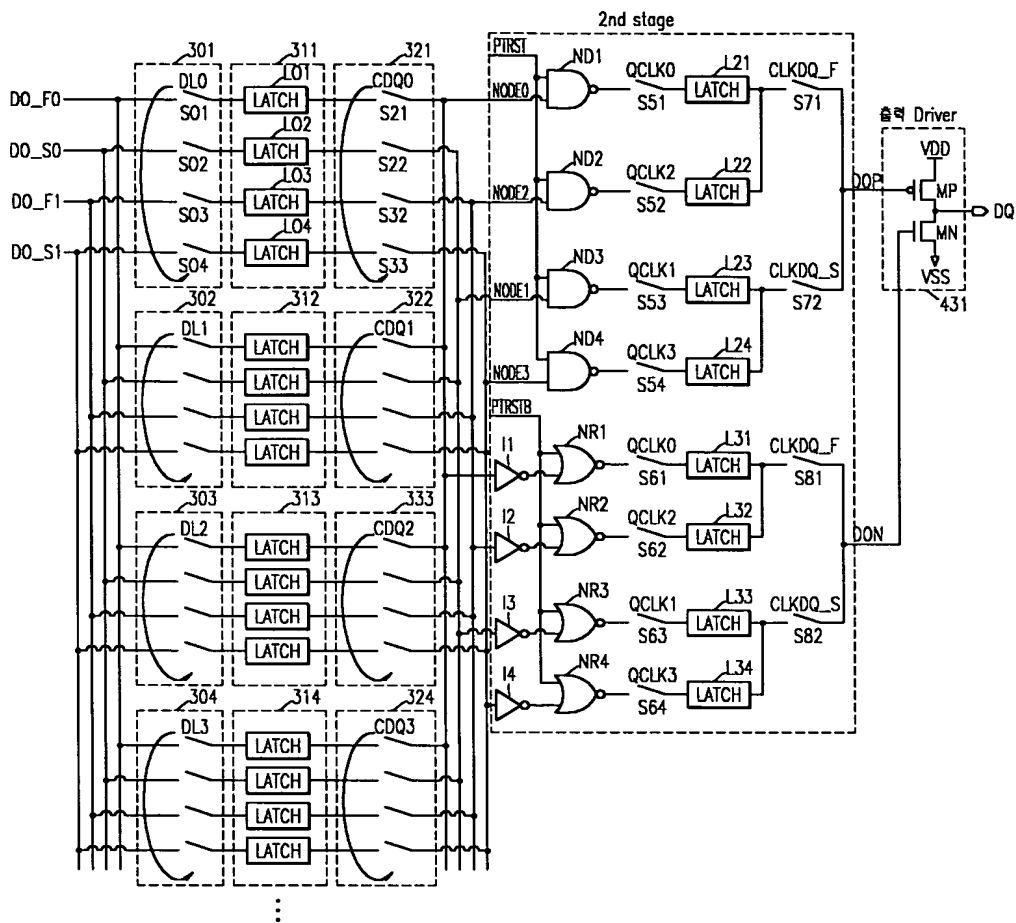
【도 2】



【도 3】



【도 4】



【도 5】

